

Grundprinzip:

Wenn das Relais auf der Eingabefrequenz ein beliebiges Signal empfängt, dann wird das „DCD in“ für die Dauer des empfangenen Signals auf high gesetzt.

Somit liegt an Pin 2 des Timers IC1 GND. Der Timer soll jedoch erst ablaufen können, wenn das DCD Signal nicht mehr anliegt (Fallende Flanke). Dies stellte ein Problem dar, da der Timer startet, sobald an Pin 2 GND anliegt. Wenn permanent GND anliegen würde, dann läuft der Timer zwar nicht ab, aber der Kondensator lädt sich bereits auf und wenn an Pin 2 kein GND mehr anliegt, dann dauert es oft nur noch 1 Sekunde, bis der Timer abschaltet, da der Kondensator die Kontrollspannung erreicht hat. Der Timer sollte aber erst mit der Zeitspanne beginnen, wenn Pin 2 von low auf high wechselt. Um zu verhindern, dass sich der Kondensator bei angelegtem GND an Pin 2 auflädt wurde eine Diode zwischen Pin 2 und Pin 6 eingebaut. Diese Diode garantiert, dass sich der Kondensator C1 nicht aufladen kann solange Pin 2 low ist, da nur maximal 0,7V an C1 anliegen können. Zumindest kann er sich nicht höher aufladen als die Diodenschwellspannung (Si ca. 0,7V). Der Kondensator C1 wird über den Widerstand R1 aufgeladen. Wenn nun ein DCD Signal anliegt, dann geht Pin 3 des Timers auf high. Liegt kein DCD Signal mehr an, bleibt Pin 3 noch für die Dauer der an R12 eingestellten Zeitspanne auf high. Der Zustand von Pin 3 ist an der eingebauten Kontroll-LED1 zu erkennen. An Pin 3 wird das Signal 2 Mal (IC2A und IC2B) invertiert, so dass es zu keiner Rückwirkung des PullUp Widerstands R11 auf den Timer bzw. die LED1 kommt. Aus dem Logik IC 4011, der 4 NAND Gatter beinhaltet wurde ein RS-Flipflop aufgebaut. (IC4A, IC4B) Wenn das Relais auf der Eingabe „NF in“ ein 1750 Hz Signal erkennt leuchtet Kontroll-LED3, DCD ist sowieso high (weil ein Träger vorhanden ist) und es liegt zugleich an Pin 11 des Inverters (4069) IC2E ein high (wg. 1750 Hz) und folglich an Pin 5 (Set Eingang Flipflop) IC4B ein low. Gleichzeitig beginnt der Timer zu starten und es liegt an Reset (Pin 2 IC4A) ein high. Dies führt dazu, dass das Flipflop so lange gesetzt bleibt, bis der Timer abgelaufen ist und einen Reset durchführt, indem er Pin 2 IC4A auf low legt. Während das Flipflop gesetzt ist, liegt an Pin 8 IC4C ein high. Falls zugleich wieder ein Signal empfangen wird (jemand spricht), ist DCD auch high und das UND Gatter (bestehend aus NAND IC4C und Negierung IC2D) wird am Ausgang ebenfalls high. An Pin 8 IC2D kann folglich das DCD Signal zur Steuerung hin abgegriffen werden. Es wird nur high wenn ein 1750 Hz Signal empfangen wurde, der Timer noch nicht abgelaufen ist und zugleich am Eingang DCD weiterhin auf high ist. Zu erkennen

wiederum an der Kontroll- LED2. Bei jeder Aussendung beginnt die Zeit wieder bei „0“. Nur wenn der Timer einmal abgelaufen ist, ist ein erneutes 1750 Hz Signal erforderlich.

Diese Schaltung erfüllt alle Anforderungen an die 1750 Hz Tonruf Auswertung und kann in die DCD Leitung vom Empfänger zur Steuerung eingeschliffen werden.

Die 1750 Hz Auswerteschaltung setzt den Ausgang (IC3 Pin 6) auf high, solange am Eingang (IC3 Pin 2) ein NF Signal von 1750 Hz +-100 Hz anliegt.

Funktionsbeschreibung:

Zwischen den Pins 13 und 14 des IC3 wird die Frequenz mittels einer Kapazität eingestellt, die sich wie folgt wird.

$$C = \frac{1}{R8 * f}$$

Das ergibt bei einer Frequenz von 1750 Hz und einem R8 Wert von 20 kΩ eine Kapazität von 28 nF.

$$C = \frac{1}{20000 \Omega * 1750 \text{ Hz}} = 28 \text{ nF}$$

Um näherungsweise auf einen Wert von 28 nF zu kommen, haben wir uns entschieden 2 Kondensatoren mit jeweils 47 nF in Reihe zu schalten. Dies ergibt einen Wert für C von ca. 24nF.

Wie man an obiger Formel erkennen kann, wird die Frequenz f auch durch den Widerstand R8 beeinflusst. In unserer Schaltung ist zum Widerstand R8 noch ein Potentiometer R15 mit 4,7 kΩ in Serie geschaltet. Dadurch kann man eine Feinjustierung der Frequenz f vornehmen.

Mit dem Widerstand R13 kann die Bandbreite der dekodierbaren Frequenz festgelegt werden.

Der Widerstand R13 berechnet sich wie folgt:

$$R13 = \frac{R8 * f * 2}{\Delta f}$$

$$R13 = \frac{20000\Omega * 1750 \text{ Hz} * 2}{\Delta 100 \text{ Hz}} = 700 \text{ k}\Omega$$

Wir haben uns wegen Verfügbarkeit der Bauteile auf einen Widerstandwert für R13 von 680 k Ω geeinigt.

Die beiden antiparallelen Dioden D2 und D3, sowie der in Serie geschaltete Widerstand R3 dienen dazu, den NF Pegel auf einen Maximalwert zu begrenzen. Die Parallelschaltung aus C8 und R9 verursacht eine Zeitspanne, bei der das NF Signal mindestens eine gewisse Zeit anliegen muss, bis der IC den Ausgang auf high setzen kann.

Über das Potentiometer R15 kann die genaue 1750Hz Frequenz eingestellt werden.

Über das Potentiometer R12 kann die SQL Haltezeit eingestellt werden.